

ソシオネクストは「SYNOPSYS USERS MEETING 2015」の
セッション・プログラムに参加

株式会社ソシオネクストは、2015年9月4日（金）、グランドプリンスホテル新高輪／国際館パミールで開催される「SYNOPSYS USERS MEETING 2015」のセッション・プログラムに参加いたします。

「SYNOPSYS USERS MEETING 2015」は、日本シノプシス合同会社が主催するイベントで、エレクトロニクス業界で最大規模の Synopsys Users Group (SNUG) 向けユーザー・コンファレンスです。多彩なセッション・プログラムでは、シノプシス社やスポンサー各社、エコシステム・パートナー各社からの最新の設計ソリューションや活用できる実用的な情報など、イノベーションの加速に向けて有益なコンファレンスとして例年開催されています。

- 【名称】 SYNOPSYS USERS MEETING 2015
<https://www.event-web.info/jsnug2015/>
- 【会期】 2015年9月4日（金）10:00～18:00 （受付開始 9:00）
- 【会場】 グランドプリンスホテル新高輪／国際館パミール
- 【主催】 日本シノプシス合同会社

【講演内容】

[Implementation Track／Lunch Session] ■L-1 12:30～14:00

設計生産性を向上させる、先進のサインオフ技術

株式会社メガチップス／株式会社ソシオネクスト／Synopsys, Inc. 3社の共同講演

株式会社ソシオネクスト
SoC 設計統括部 第一設計部
大橋 貴子

株式会社ソシオネクストでは、「3X Faster Timing Closing Solution in IC Compiler II and PrimeTime Physically-Aware ECO.」をテーマに講演いたします。

当社では、TAT 削減へ向けて ICC2、PrimeTime Physical-Aware ECO を活用した設計フローを展開しています。

今回はタイミングにフォーカスを当てて、ICC2 の処理能力向上を生かし多数のシナリオを考慮した最適化の実現と、Physical-Aware ECO を用いた効率的なタイミング違反の改善を行うことで、従来に比べて3倍の TAT 短縮効果が得られた事例をご紹介します。

[Implementation Track] ■IM-6 15:50～16:30

SoCの信頼性向上手法 ～IC Validator(Extended ERC)が広げるデジタル・アナログ検証

株式会社ソシオネクスト
共通テクノロジー開発統括部 第四設計技術部
高橋 和彦

Synopsys社のIC Validator(以下ICV)では、株式会社ソシオネクストでサインオフとして採用しているICVによるDRC/LVSに加えて、Extended ERCの機能を使うことで回路トポロジに応じたチェックを行うことができるようになりました。

当社では、この回路トポロジのチェックと、元にしたレイアウト図形のチェック環境を開発したものを製品へ適用することで、品質の向上を図ることができました。

今回は、開発した検証ルールの中から2つの事例をご紹介します。

- (1)アナログ回路のレイアウト対称性チェック
- (2)ESD放電経路の電流密度チェック

[Verification Track] ■V-5 14:50～15:30

進化を続けるソシオネクストUPF多電源設計フロー

株式会社ソシオネクスト
SoC設計統括部 第二設計部
足田 真大

株式会社ソシオネクストでは、Power Gating、Multi-Voltage および ASV といった Low Power 技術を採用したデザインにUPFフローを適用してきました。

これらの Low Power 技術は、多くのデザインに採用され、UPFフローの効率改善がますます求められています。

このような状況の中、当社はUPFフローのさらなる改善を図るため、Golden UPFフローを取り入れた Low Power 検証に新規ツールである VC LP を採用しました。

今回は、ソシオネクストが効率改善に取り組んだUPF Low Power フローをご紹介します。