

世界最小電力！ サーバ間の光通信向け次世代 56Gbps 送受信回路を開発

従来と同じ電力でデータ通信速度を2倍高速化し、次世代サーバの高性能化に貢献

[川崎および横浜発、2016年2月1日] --- 株式会社富士通研究所（代表取締役社長 佐相秀幸、本社 神奈川県川崎市）と、株式会社ソシオネクスト（代表取締役会長兼 CEO 西口 泰夫、本社 神奈川県横浜市）は、サーバやスイッチで使用される半導体チップと光モジュール間のデータ通信において、従来と比べて2倍高速となる1チャンネルあたり毎秒56ギガビット（Gbps）の通信速度を実現する、世界最小電力の送受信回路を開発しました。

データセンターの処理能力向上に伴ってサーバ間のデータ通信を高速化する要求が高まっていますが、設備が供給できる電力量には制約があるため、低消費電力化も同時に求められています。

今回、通信速度の向上に伴って顕著になる信号の劣化を補償する回路と、入力信号のビット値を判定するタイミングを検出する回路の一部を共通化できる新しいタイミング検出方式を開発し、回路数を削減することができました。これにより、消費電力を増加せずに、従来と比べて2倍高速となる56Gbps送受信回路の開発に成功しました。

本技術により、消費電力を増加させることなくチップと光モジュール間のデータ通信を高速化することができるため、次世代サーバやスイッチなどの高性能化が期待されます。

本技術の詳細は、1月31日（日曜日）から米国サンフランシスコで開催される半導体技術に関する最大級の会議である国際会議「国際固体素子回路会議 ISSCC 2016 (IEEE International Solid-State Circuits Conference 2016)」で発表します（ISSCC 発表番号 3.5）。

【 開発の背景 】

近年、急速に需要が拡大しているクラウドコンピューティングを支えるために、データセンターの処理能力の向上が求められています。データセンターは、スイッチを介して多くのサーバが接続された大規模なシステムとして構成されており、データセンターの処理能力の向上に伴って、サーバ間でやり取りされるデータ量もますます増加しています。このため、次世代のデータセンターに向けて、サーバとスイッチ間の光伝送で用いられる光モジュールの通信速度についても現行の2倍に当たる56Gbpsの国際標準化（*）が進んでいます。

注(*) 56Gbpsの国際標準化：国際標準化団体 OIF（Optical Internetworking Forum）によって進められている。

【報道関係者お問い合わせ先】

株式会社ソシオネクスト 経営企画室

電話：045-568-1006

お問い合わせフォーム：<http://socionext.com/jp/contact/>

富士通株式会社 広報IR室

電話：03-6252-2174（直通）

一方で、データセンターにおいては、設備が供給できる電力の制約から、データ送受信回路の電力を増やすことなく通信速度を向上させることが求められています。

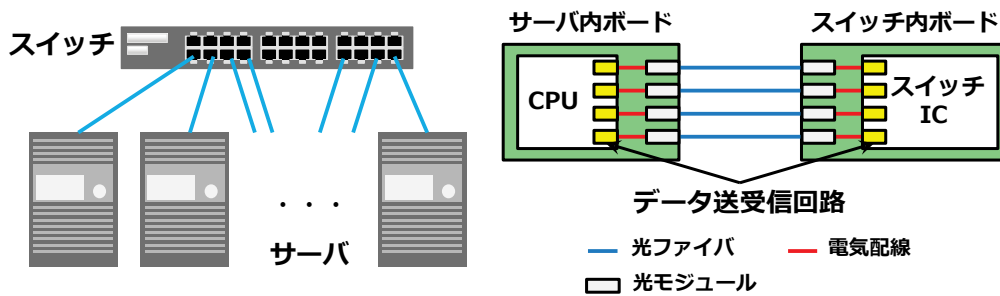


図 1：サーバやスイッチをつなぐデータ送受信回路

【 課題 】

通信速度を向上させると、それに比例して消費電力が増えるため、設備の電力を増やさずに通信速度を向上させるためには送受信回路の消費電力を低減させることが必要です。

従来の送受信回路においては、劣化した信号を補償する回路である DFE (Decision Feedback Equalizer) と、入力信号のタイミング誤差を検出する回路である CDR (Clock and Data Recovery) の占める消費電力が、送受信回路の全消費電力の約 3 分の 2 と大きく、これらの消費電力を低減することが課題でした。

DFE は、伝送線路によって劣化した波形を入力として、異なるしきい値 $+a$ と $-a$ を持った別々の判定回路でビット値を判定した結果について、1 ビット前に処理したビット値が 0 であれば $-a$ 、1 であれば $+a$ のしきい値を持った判定回路の結果を選択することで劣化した信号を補償します。CDR は、入力信号を観測することで、入力信号の波形が最大の振幅となった時に DFE が信号を取り込めるように、DFE の動作タイミングを調整します (図 2)。

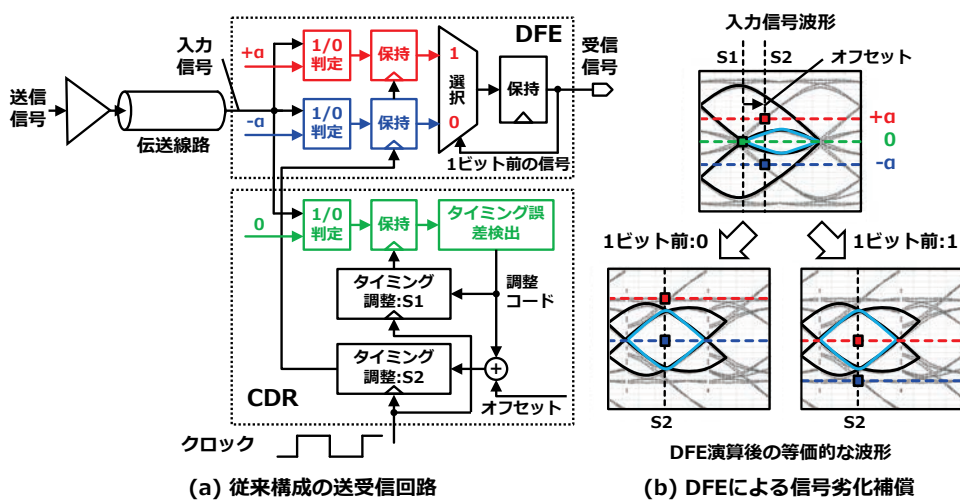


図 2：従来構成の送受信回路と DFE による信号劣化の補償

【 開発した技術 】

今回、CDR の消費電力を削減できる、新たなタイミング誤差検出方式を開発しました。

DFE 演算後の波形を分析した結果、連続する 3 ビットの入力信号が 100 または 011 となる場合において、DFE の 2 つの判定回路の結果を比較することで DFE の動作タイミングの進み、遅れを検出できることがわかりました。これにより、連続する 3 ビットの入力信号が 100 または 011 となるときだけタイミングを検出する、新しいタイミング検出方式を開発しました(図 3)。

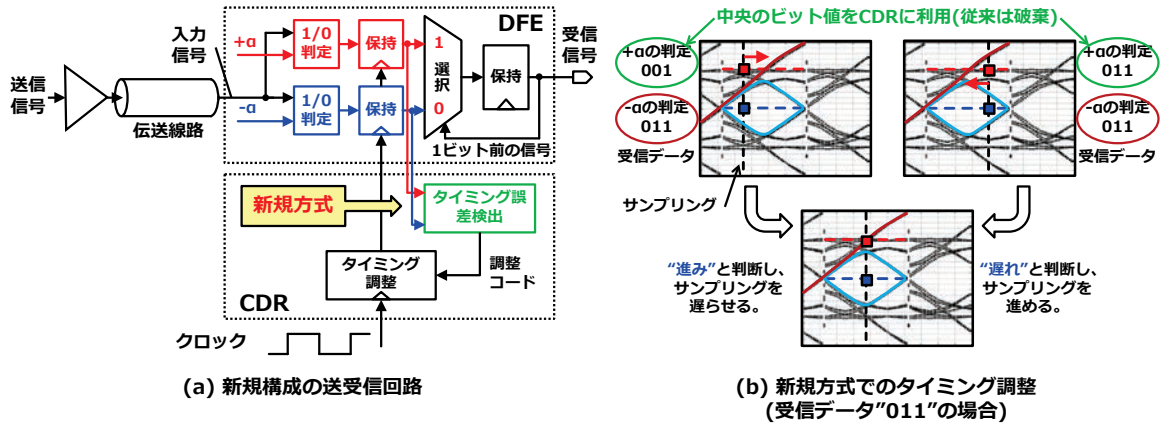


図 3：新規構成の送受信回路と新規方式でのタイミング調整

開発したタイミング検出方式により、従来必要であった CDR の入力信号のタイミング判定回路を削減でき、加えて、DFE と CDR でタイミングが異なっていたために別途必要だったクロック線などの配線も不要になりました。これにより、従来と同じ消費電力で 2 倍高速となる、56Gbps の送受信回路の開発に成功しました。

【 効果 】

本技術により、従来に比べて消費電力を増加させることなくチップと光モジュール間のデータ通信を高速化することができます。また、光モジュール通信の OIF 次期規格にも対応しているため、現行の 28Gbps 規格で 400Gbps イーサネットを構築する場合、16 個の送受信回路が必要なのに対して本技術では半分の 8 個で実現でき、光モジュールの小型化・低電力化も期待されます。

【 今後 】

株式会社富士通研究所と株式会社ソシオネクストは、開発した技術をサーバやスイッチのチップと光モジュール間のインターフェース部などに適用し、2018 年度の実用化を目指します。

□ 本件に関するお問い合わせ

株式会社富士通研究所

コンピュータシステム研究所 次世代コンピュータシステムプロジェクト

電話： 044-754-2692 (直通)

E-mail : hsio2016@ml.labs.fujitsu.com

株式会社ソシオネクスト

ネットワーク SoC 事業部

電話：045-568-1045 (直通)

[お問い合わせフォーム](#)

ソシオネクストについて

株式会社ソシオネクスト (Socionext Inc.) は、SoC (System-on-Chip) の設計・開発および販売を事業とする新しい企業です。映像・イメージングおよびネットワーク分野における世界トップレベルの技術を核に、今日のさまざまなアプリケーションの進化を支えます。長年培った技術力と経験、さらに豊富な IP ラインナップをベースに卓越したソリューションを提供し、人々の豊かな体験 = better quality of experience の実現に貢献します。2015 年に設立された株式会社ソシオネクストは横浜市に本社を置き、日本国内、アジア、米国およびヨーロッパの各拠点において製品開発および販売活動をグローバルに展開しています。詳しくは socionext.com/jp をご覧ください。

記載されている会社名、製品名などの固有名詞は、各社の商標または登録商標です。プレスリリースに記載された内容、お問い合わせ先などは、発表日現在のものです。その後予告なしに変更されることがあります。あらかじめご了承ください。