



socionext™
for better quality of experience

Tokyo Tech

令和2年2月10日

報道機関各位

東京工業大学
株式会社ソシオネクスト

世界最小のクロック回路を 5nm CMOS で開発

【要点】

- 世界初 5nm CMOS プロセスを用いた分数分周型クロック回路を実現
- 世界最小・最高性能のスペクトル拡散クロック回路の開発に成功
- デジタル回路のみで構成でき、自動合成による超短期間設計が可能

【概要】

東京工業大学 工学院 電気電子系の岡田健一教授らと株式会社ソシオネクストの研究グループは、最先端の 5nm FinFET CMOS プロセス（用語 1）で世界初となる世界最小の高性能分数分周型クロック回路（用語 2）の開発に成功した。この回路はプロセッサやメモリー、通信用のクロック用途として必須の電子回路であり、開発したクロック回路は小型ながらも優れたジッタ特性（用語 3）を持つ。また、細かい周波数調整が可能な分数分周型 PLL（用語 5）で構成されており、スペクトル拡散クロック（用語 6）の生成が可能である。

一般にクロック回路は典型的なアナログ回路であり、従来はアナログ回路設計者が時間をかけて設計・チューニングする必要があったが、本技術ではクロック回路をデジタル回路として構成することを可能とした。通常のデジタル回路と同様に自動配置配線が可能となり、非常に短時間で必要なプロセスやクロック周波数に合わせて最適に設計することができる。また、製造プロセスの微細化にあわせてスケラブルに回路面積を小型化することが可能であり、幅広い用途の SoC（用語 7）の小型化・低コスト化を実現できる。

研究の背景・意義

携帯電話、パソコン、テレビなどを含むほとんどの電子機器に搭載されている LSI（大規模集積回路）は、デジタル信号処理を行うデジタル回路部と、外部からのアナログ信号を扱うアナログ回路部から構成される。LSI を製造する半導体製造プロセスの微細化にあわせてデジタル回路は小型化・高性能化が可能であるが、アナログ回路は小型化が困難であり、また、微細な製造プロセスほど設計が困難になることが大きな問題となっている（図 1）。

LSI には、所望の周波数のクロック信号や通信用搬送波信号を生成するクロック回路が搭載されている。LSI に内蔵されるクロック回路は通常 PLL 方式のクロック回路が用いられる。PLL は典型的なアナログ回路の一種であり、FinFET のような最先端の半導体製造プロセスを用いる場合に、従来に比べて、設計がより困難となり、また、デジタル回路部分に比べて相対的に回路面積が大きくなる問題がある。

一般にアナログ型の PLL は優れたジッタ特性を持つことができる一方で、キャパシターやインダクターなどの回路面積の大きいアナログ素子を用いることになり、特に 20nm 以下の先端プロセスでは微細プロセスの利点を失わせかねない課題を抱えている。また、通常アナログ回路は手作業で設計・レイアウトが行われるが、先端プロセスではアナログ回路の設計ルールが複雑化し、設計・検証の反復のコストが増大してしまう問題がある（図 1）。さらに、高周波回路は回路寸法が大きくなればなるほど意図しない抵抗や容量による寄生成分が増え、アナログ素子による面積増大が性能劣化につながる。また、従来からデジタル型の PLL について検討は行われていたが（図 2）、回路ブロックの一部にアナログ回路が含まれており、依然としてアナログ回路の手設計が必要であった。本提案技術であるシンセサイザブル PLL では、構成する回路ブロックをすべてデジタル回路構成とすることができ、あたかもデジタル回路のように自動設計を可能とすることに成功した（図 2）。これにより、半導体製造プロセスの微細化にあわせて回路面積の縮小が可能となり、低消費電力化が期待できる。従来方式と比較すると、最先端の微細なプロセスを使うほどに性能の向上が期待できる。

PLL には生成できる周波数が基準信号に対して整数倍の周波数のみか、あるいは非整数倍（分数倍）の周波数を出力可能かで、それぞれ整数分周型（インテジャー N 型）PLL と分数分周型（フラクショナル N 型）PLL の二つの種類がある。無線機や SoC などでは、任意の周波数の発生が可能な分数分周型 PLL が必要である。分数分周型 PLL は汎用性が高く、様々な用途での利用が可能であるが、一方で設計の難易度が高いことが問題であった。

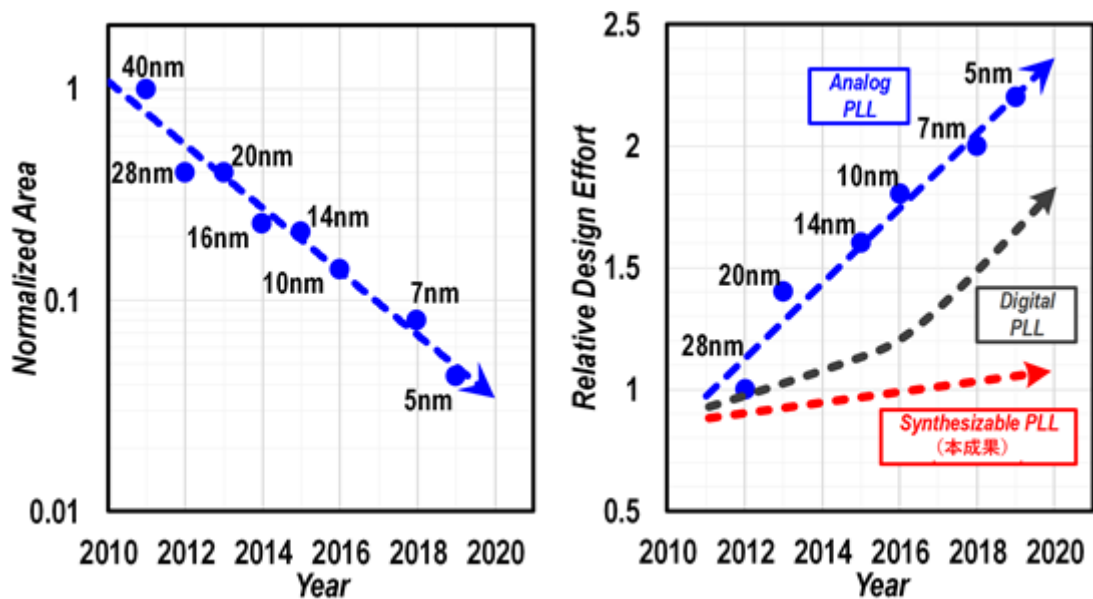


図 1 半導体プロセスのスケーリング（左）と PLL 回路設計の難易度（右）

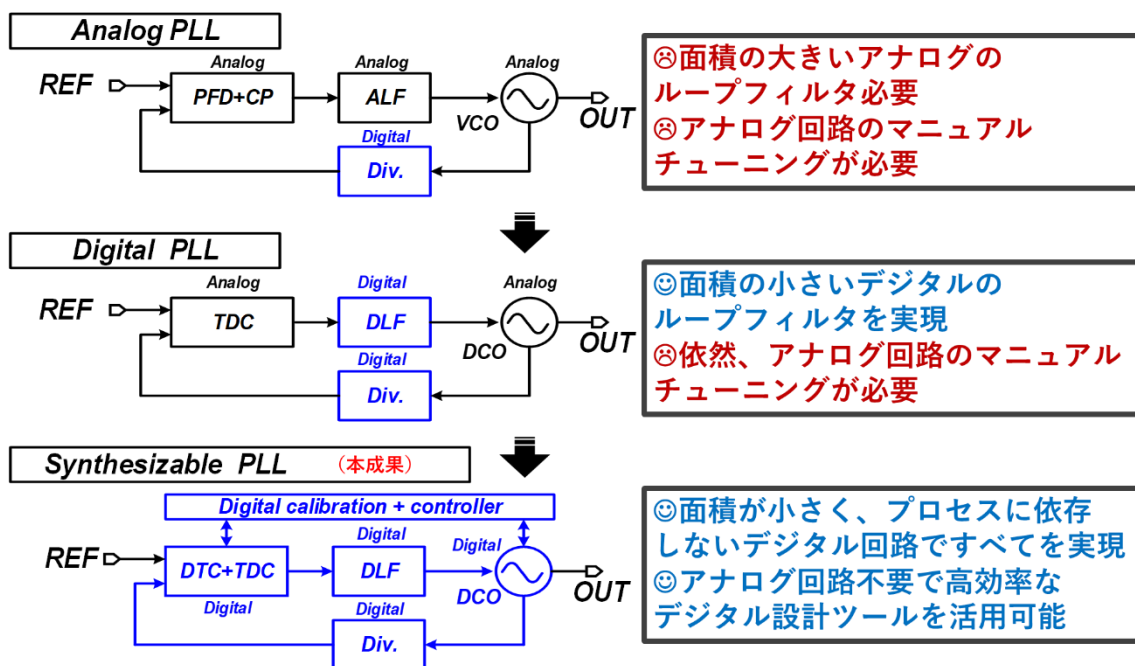


図 2 PLL 回路の発展

研究成果

今回の成果は、従来のデジタル PLL において、アナログ回路構成で実現されていたデジタル制御発振器（DCO＝用語 8）および時間差デジタル変換器（TDC＝用語 9）をデジタル回路構成により実現できたことによる（図 2）。従来のデジタル PLL では、TDC 回路で長い時間差の変換が必要であったため、アナログ回路設計による高線形な TDC が必要であった。本研究成果では、タイミングをデジタル的に制御するデジタル時間変換器（DTC＝用語 10）と TDC 回路とを組み合わせることで、TDC 回路に必要な時間差範囲を狭めることに成功し、そのデジタル回路化に成功した。一方で、DTC 回路には長い時間差での変換が必要になるが、デジタル補正を組み合わせることでこの問題を解決した。DCO 回路においても、同様にデジタル補正を駆使することでデジタル回路化を実現した。以上により、PLL 回路全体をデジタル回路として構成することが可能となり、デジタル回路開発で使用されている回路合成・タイミング設計や自動配置配線ツールを活用できるようになり、通常のデジタル回路同様に、PLL をスタンダードセルによって自動設計できるようになった。これは異なるプロセス間での移植性を高め、新たに開発された最先端製造プロセスにおいても迅速な回路設計を可能とする。

図 3 は作製したチップ写真である。実現した回路は、分数分周型（フラクショナル N 型）の PLL で、わずかな面積で高周波信号の生成が可能なリングオシレータ（用語 11）型の発振器を用いた。回路面積は世界最小の 0.0036mm^2 であり（図 4）、消費電力とジッタ特性に関する性能指標である FoM（用語 12）が -235 dB （デシベル）と、極めて優れた性能を達成した（表 1）。わずか 0.95mW の消費電力で動作し、スプリアスレベル（用語 13）は低く -44 dBc であった。さらにスペクトル拡散クロック機能を有し、低電磁妨害特性を実現した。

本研究成果は、1 月 27 日に集積回路設計技術において権威のあるジャーナルのひとつである「IEEE Solid-State Circuit Letters（米国電気電子学会 固体素子回路レター誌）」に掲載された。

なお本研究は株式会社テラピクセル・テクノロジーズの協力により実現した。

今後の展開

本提案技術である高性能クロック回路により、世界最先端の 5nm プロセスによる高性能、低消費電力、小面積の SoC を短期間で設計することが可能になった。また、クロック回路のデジタル化により、将来の SoC の全自動設計への道が拓かれた。ソシオネクストは今回の成果をもとに AI や IoT など今後も継続して市場の成長が予想される分野で商品やサービスの差異化に寄与する SoC を供給していく。また東工大とソシオネクストは今後も、アナログデジタル変換器などの他の種類のアナログ回路の自動合成を始めとする CMOS ミックスシグナル設計の基礎技術開発の分野で協力していく。

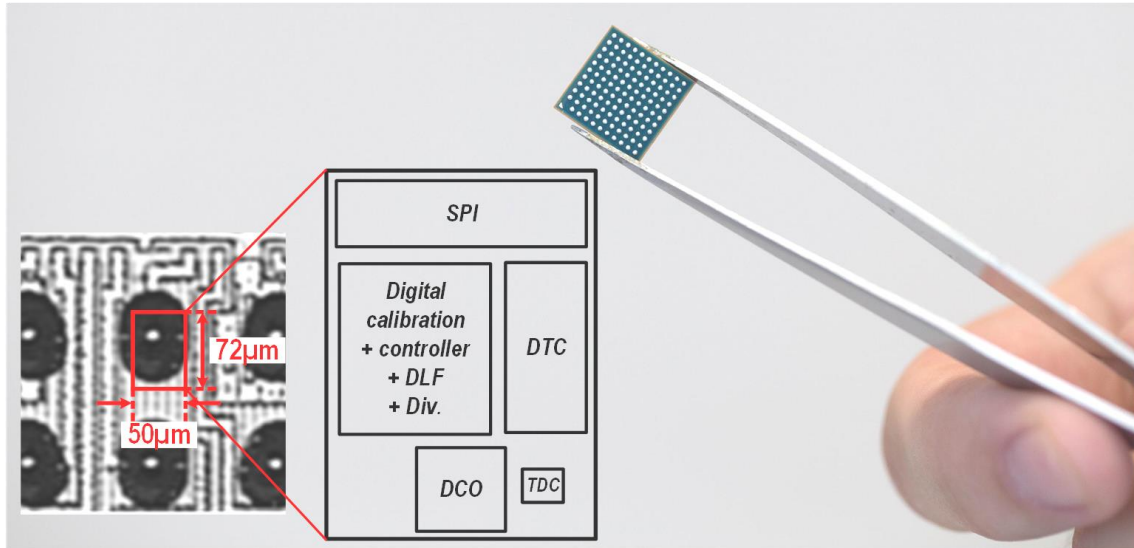


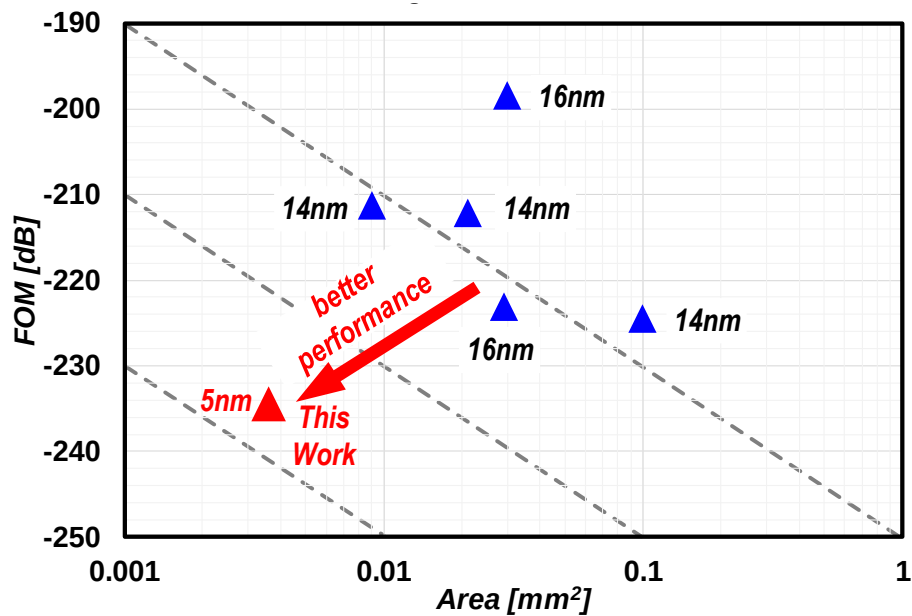
図 3 提案回路を搭載したチップ写真

図 4 20nm ノード以降の先端 CMOS プロセスにおける PLL 回路面積および FOM 比較

表 1 20nm ノード以降の先端 CMOS プロセスにおける PLL 性能比較

	本研究	TCAS-I'18	RFIC'18	ISSCC'15	ISSCC'15
発表組織	東工大 & ソシオネクスト	インテル	サムスン	TSMC	サムスン
自動合成可能か? (Synthesizable)	Yes	No	No	No	No
製造 CMOS プロセスノード	5nm	14nm	14nm	16nm	14nm
面積 [mm ²]	0.0036	0.021	0.1	0.029	0.009
消費電力[mW]	0.95	2.6	36.3	3.9	2.06
ジッタ[ps]	1.90	15.1	0.982	3.48	18.8
性能指標 FOM*[dB]	-235	-212	-225	-223	-211

$$*FOM = 10\log_{10} \left[\left(\frac{Jitter}{1s} \right)^2 \cdot \left(\frac{Power\ Consumption}{1mW} \right) \right]$$



【掲載情報】

題目： A Fully-Synthesizable Fractional-N Injection-Locked PLL for Digital Clocking with Triangle/Sawtooth Spread-Spectrum Modulation Capability in 5nm CMOS

著者： Bangan Liu（東工大研究員）、Yuncheng Zhang（東工大博士後期課程学生）、Junjun Qiu（東工大博士後期課程学生）、Hongye Huang（東工大博士後期課程学生）、Zheng Sun（東工大博士後期課程学生）、Dingxin Xu（東工大修士課程学生）、Haosheng Zhang（東工大博士後期課程学生）、Yun Wang（東工大研究員）、Jian Pang（東工大研究員）、Zheng Li（東工大修士課程学生）、Xi Fu（東工大修士課程学生）、白根 篤史（東工大助教）、黒須 一司（ソシオネクスト）、中根 美德（ソシオネクスト）、正木 俊一郎（ソシオネクスト）、岡田健一（東工大教授）

掲載誌： *IEEE Solid-State Circuits Letters*

DOI： [10.1109/LSSC.2020.2967744](https://doi.org/10.1109/LSSC.2020.2967744)

【用語解説】

(1) 5nm FinFET CMOSプロセス：

CMOSプロセスはN型とP型のMOSFET（金属酸化膜半導体電界効果トランジスタ）を相補的に用いた集積回路であり、バイポーラプロセスと比較し消費電力の削減と高い集積率を実現したプロセスである。近年の集積回路はほぼCMOSプロセスとなっている。nm（ナノメートル）は10億分の1m。Finはシリコン基板を短冊状に成形した魚の背びれ状の構造。

(2) 分数分周型クロック回路：分数分周型(フラクショナルN型)PLL

PLL（用語5）にはインテジャーN型(整数分周型)とフラクショナルN型(分数分周型)がある。インテジャーN型PLLでは基準信号に対して整数倍の周波数を出力するが、フラクショナルN型では分数倍の任意の周波数の出力が可能である。例えば、水晶発振器から入力される基準クロック周波

数が 26MHz の場合、インテジャー N 型 PLL では 2418MHz (93 倍)、2444MHz (94 倍)、2470MHz (95 倍) の生成が可能であるが、フラクショナル N 型 PLL では 2442MHz(93.923 倍) のような任意の小数精度の逡倍動作が可能である。BLE 等の無線通信用には、インテジャー型ではなくフラクショナル型の PLL が必要である。アナログ PLL ではフラクショナル型を比較的容易に実現できるが、小面積低消費電力で有利なデジタル PLL においてフラクショナル型のものはジッタ特性が劣化しやすく実現が難しい。

(3) **ジッタ特性：**

クロックの重要な特性の一つで、クロック信号の立ち上がりまたは立ち下りタイミングが揺らぐ現象で、本来のタイミングからのずれが統計的にどれぐらいの幅を持つかで評価する。ジッタが小さいほど、クロックの揺らぎが小さい状況を示す。クロックを生成している発振器の**位相雑音**(用語 4) 特性に大きく依存し、位相雑音が低いほど、ジッタも小さくなる。

(4) **位相雑音：**

発振器の重要な特性の一つ。必要な周波数の信号に対し、どれだけ不要な周波数のスペクトルを持つかを表す。一般に、位相雑音特性は電力や発振周波数帯に依存する。

(5) **PLL (Phase-Locked Loop)：**

集積回路中では正確な周波数基準が作れないため、水晶発振器による基準周波数 f_{ref} を用い、それを N 逡倍して所望周波数 $N \cdot f_{\text{ref}}$ の周波数の信号を得る。PLL には、位相周波数比較器、チャージポンプ、ローパスフィルタを用いるアナログ PLL と、時間差デジタル変換器 (TDC) とデジタルローパスフィルタを用いるデジタル PLL (オールデジタル PLL と呼ばれる) が知られている。

(6) **スペクトル拡散クロック：**

デバイスのクロック信号によって生じる外部への電磁妨害を抑えるための技術。デジタル回路は通常クロック信号を基準に動作するため、それに同期したタイミングで配線に電流が流れ、特定のクロックの周波数に集中した電磁妨害を発生してしまう。電磁妨害の対策として金属のシールド等も用いられるが、物理的な実装が必要なためサイズやコストが増大してしまう。一方でスペクトル拡散クロックは、クロックの周波数を意図的に変化させることで、使用する周波数帯域を広げながらエネルギーを拡散させ、電氣的に電磁妨害が発生しにくい状態を作り出すことができる。

(7) **SoC (System on Chip)：**

プロセッサやメモリー、その他システムを実現するために必要となるすべての回路が集積された集積回路。特に用途にあわせて設計した SoC をカスタム SoC と呼ぶ。

(8) **デジタル制御発振器 (DCO :Digitally Controlled Oscillator)：**

デジタル制御値により発振周波数が変化する発振回路。PLL の発振周波数とリファレンス周波数の

偏差に応じて DCO に与えるデジタル制御値が決まり、偏差を低下させるように DCO の発振周波数は変化する。PLL の出力周波数は DCO の発振周波数と一致する。

(9) **時間差デジタル変換器** (TDC : Time-to-Digital Converter) :

二つの入力信号の時間差をデジタル値に変換して出力する回路。PLL などの幅広い回路で利用されている。

(10) **デジタル時間変換器** (DTC : Digital-to-Time Converter) :

デジタル制御値により、遅延時間が変化する可変遅延回路。デジタル制御遅延回路 (DCDL, Digitally-Controlled Delay Line) と呼ばれる。PLL などの幅広い回路で利用されている。

(11) **リングオシレータ** :

遅延素子を環状に接続して構成する発振器。可変遅延機構を加えることで周波数を可変とし、デジタル制御発振器を構成することができる。

(12) **FoM** :

Figure of Merit の略で、消費電力で規格化したジッタ性能を示す。ジッタと消費電力はトレードオフの関係にあり、発振器の消費電力を増やすとジッタが減少し、消費電力を減らすとジッタが増加する。FoM は、ジッタの標準偏差 (σ_t) と消費電力 P_{DC} を用いて、以下の式で定義される。

$$\text{FoM} = 10 \log \left[\left(\frac{\sigma_t}{1s} \right)^2 \cdot \frac{P_{DC}}{1mW} \right]$$

ジッタ特性が同じで FoM が 10dB 小さければ、消費電力が 10 分の 1 であることに相当する。

(13) **スプリアスレベル** : スプリアスとは必要な信号以外の信号（ここではクロック周波数以外の不要な信号）のことであり、スプリアスレベルはこの不要な信号の強度を表す。スプリアスレベルが高いことは不要な信号が強いことを示し、その場合デジタル回路の誤動作や通信の品質低下、妨害波の発生に影響を与える。デシベル表現で示されることが多く、例えば -44dBc は必要な信号の電力に対して不要な信号がおおよそ 25,000 分の 1 に抑えられていることを表す。

【問い合わせ先】

東京工業大学 工学院 電気電子系 教授

岡田 健一（おかだ けんいち）

Email: okada@ee.e.titech.ac.jp

TEL: 03-5734-3764 FAX: 03-5734-3764

株式会社ソシオネクスト

正木 俊一郎（まさき しゅんいちろう）

Email: masaki.shunichiro@socionext.com

【取材申し込み先】

東京工業大学 広報・社会連携本部 広報・地域連携部門

E-mail: media@jim.titech.ac.jp

TEL: 03-5734-2975 FAX: 03-5734-3661

株式会社ソシオネクスト 経営企画室

<http://www.socionext.com/jp/contact/>

TEL: 045-568-1006

記載されている会社名、製品名などの固有名詞は、各社の商標または登録商標です。プレスリリースに記載された内容は発表日現在のものです。その後予告なしに変更されることがあります。あらかじめご了承ください。